第5章

高速シリアル信号，高速メモリ，多系統電源，基板小型化に対応するためのノウハウ集

FPGA周りの配線テクニック 9連発

金子 俊之，水尾 学

小型化の切り札として期待を集めるFPGAは，集積度が上がり，I/O端子の数も増加の一途をたどる．同時にデータ信号線は低電圧化の傾向にあるため，ますます配線パターン設計が難しくなっている．ここでは，高度化するFPGA周りのパターン配線設計について，知っておきたいノウハウを集めた．

（編集部）

FPGA（field programmable gate array）から出力される信号の電気特性を良好に保つためには，配線パターン設計の良しあしが非常に重要です．ここでは，高速シリアル信号やDDR（double data rate）メモリ・インターフェースのような伝送信号の配線手法や電源ノイズの対策法について紹介します．

動作周波数の高速化，低電圧化，LSIの高集積化に伴い，大電流を流す配線が増え，ますます配線パターン設計の難易度が上がっています．今後はFPGAの開発者とハードウェアの開発者が協力し，最適な配線パターン設計を行うことで，よりコスト競争力のあるシステムが開発できればと考えます．

1 高速シリアル信号の配線

XAUI（10 gigabit attachment unit interface）に代表されるような，Gbpsを越える高速シリアル信号を扱う例が増えてきています．こうした高速シリアル信号を伝送させるために，次のことに気をつける必要があります．

テクニック 1

基礎中の基礎…配線はできるだけ短くする

配線が長くなればそれだけ，伝送損失が増えます．特に低電圧で，なおかつ，高い周波数成分を含む信号の場合，配線長が長くなることを避ける必要があります．

テクニック 2

インピーダンス不連続個所をできるだけ避ける

差動信号の場合，一般的に差動配線のインピーダンスを管理します．この差動インピーダンスが不連続となる個所で，反射による電圧波形のひずみやリンギングなどの影響が出ます．従って，インピーダンスの不連続個所が発生しないように，どうしても不連続個所が生ずる際には，できるだけ配線が短くなるようにパターン設計を行う必要があります．特に下記の個所でインピーダンスの不連続が発生します．

1）FPGAとプリント配線板を接続する部分

BGA（ball grid array）パッケージ（以降，BGA）の場合には，はんだボール部分がインピーダンスの不連続個所となります．ただし，この部分はプリント配線板とFPGAを接続する上で必要なので，対策が難しいところです．できるだけ不連続個所が短くなるようにする必要があります．特に，高速シリアル信号をBGAの内側のピンにしてしまうと，BGAからの引き出し部分において，差動インピーダンスを制御することが難しくなります．高速シリアル信号は，できるだけ外周のピンに割り当て，引き出し部分からすぐに差動インピーダンスを制御できるようにしましょう．

図1に0.8 mmピッチBGAの配線例を示します．この場

KeyWord 高速シリアル信号，高速メモリ，多系統電源，基板小型化，差動配線，オーバ・シュート，アンダ・シュート，タイミング・マージン，電圧ドロップ，導体面積，許容電流値，BGAの電流分布

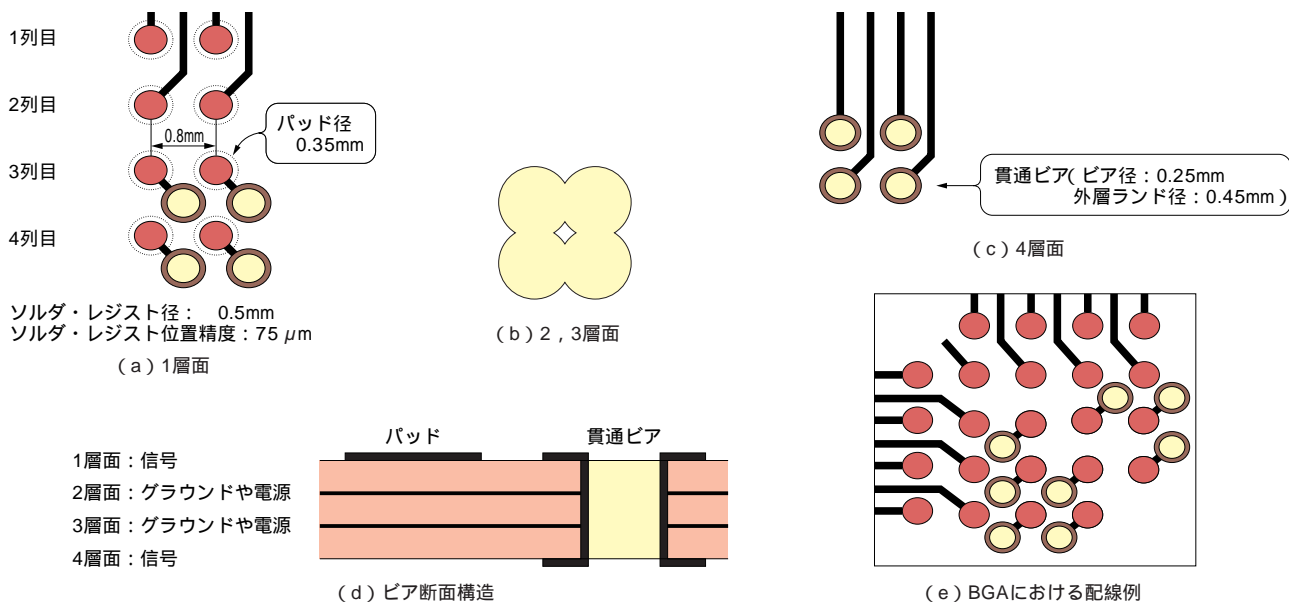



図1 0.8 mmピッチBGAの配線引き出し例
4層基板，L/S＝100/100を想定．BGAのピン・ピッチは0.8mm．パッド径は0.35mmとする．

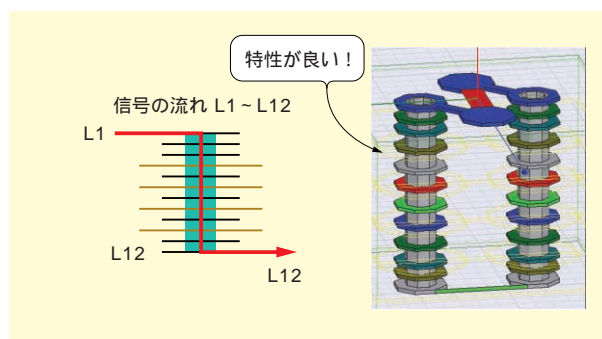
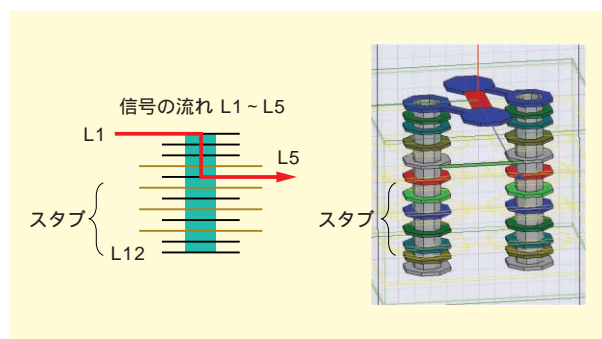
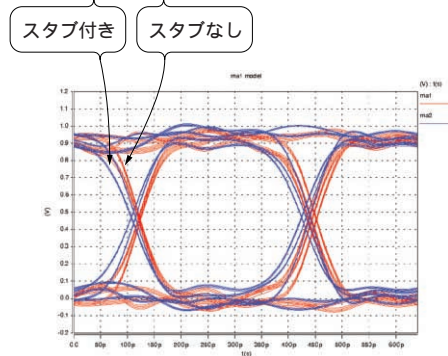
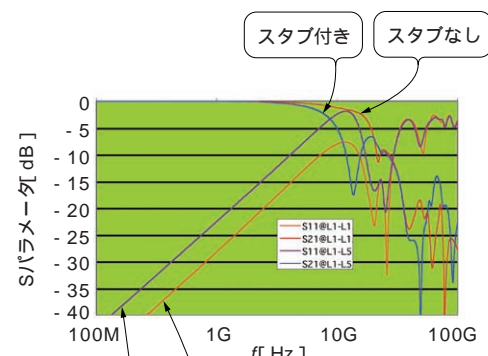



図2 スルー・ホールにスタブがあると特性が劣化する
スタブとは，メインの配線に対して枝のように分岐した短い配線のこと．

合，4列のBGAであれば，4層の貫通基板で配線を引き出すことが可能です．このとき，2列目の配線は，1列目のBGAパッド間を引き出す必要があるので，2列目は，差動ペア配線を形成することが難しくなります．また，3，4列目は貫通スルー・ホールを介して配線を引き出す必要があるので，貫通スルー・ホールによるインピーダンス不連続個所が発生してしまいます．従って，BGAの最外周のピンとなる1列目に高速シリアル信号を配置した方が有利です．

2) プリント配線板の配線層を切り替えるために使うビア部分

ビアによってもインピーダンスの不連続が発生します．インピーダンスの不連続を避けるためには，ビア形状（ビア径，ランド径，クリアランス径）を最適化する必要があります．また，貫通ビアを使うケースにおいて，接続する信号層が内層となる際には，スタブ（メインの配線に対して枝のように分岐した短い配線）が発生します．このスタブによって伝送損失が増加するので，できるだけスタブが発生しないように非貫通ビアなどを使うようにしましょう．スタブによる伝送特性の違いをシミュレーションによって比較した事例を図2に示します．

3) 複数のプリント配線板同士を接続する際のコネクタ部分

コネクタやケーブルの特性によっても不連続個所が発生します．できるだけ，差動配線のインピーダンスを保てるコネクタやケーブルを選ぶことが，高速シリアル信号には有利となります．

4) リファレンスとなる電源やグラウンド層のスリット

差動インピーダンスを規定する際に，差動信号とリファレンスとなる電源またはグラウンド・プレーンを，信号の直下（ストリップ・ライン構造の場合には直上にも）に想定します．例えば，同一層に異電源の電源プレーンがあると，その間にスリットが発生します．このスリット上を高速シリアル信号の配線ペアがまたぐと，インピーダンス不連続個所が発生します（図3（a））．

特にBGA直下では，信号配線引き出しのためにビアを使用しますが，このビアによって電源とグラウンド層にクリアランスが発生します．このクリアランス上を高速信号が通過することで，配線のインピーダンスが不連続となるので注意が必要です（図3（b））．

（a）異電源間のスリット例　（b）貫通スルー・ホールのクリアランス例

図3　インピーダンス不連続が発生する箇所
スリット上を高速シリアル信号の配線ペアがまたぐとインピーダンス不連続個所が発生する．

テクニック3　差動配線のバランスを保つ

指定の差動インピーダンスを満たすように配線幅と配線間隙が決まれば，その配線幅，配線間隙を守って配線する必要があります．特に以下の条件のときの配線に注意します．

1) 差動配線を曲げる場合

差動配線を曲げる場合，そのコーナ部分で損失が発生します．特に周波数が高くなると損失が顕著になるので，できるだけ曲げないように部品配置の段階から意識した配線パターン設計を行います．

差動配線を曲げる場合には45 °で曲げ，配線幅と配線間隙が指定の差動インピーダンスを保つように設計します（図4）．

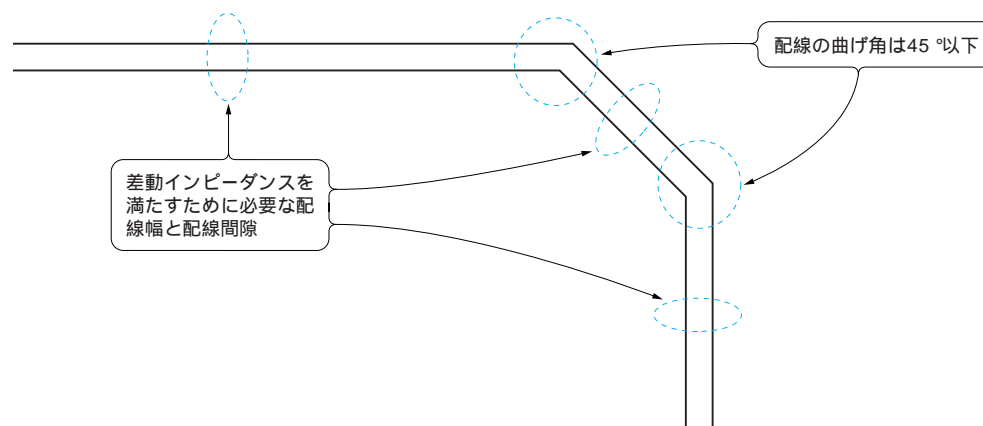



図4
差動配線の曲げかた
45 °以下で曲げること．

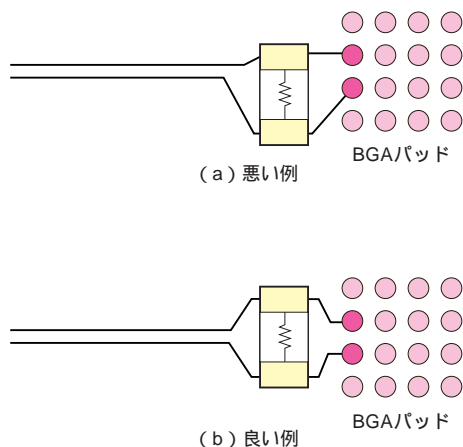



図5　部品までの差動配線
差動インピーダンス不連続個所を最小にする．部品までの配線長をそろえる．

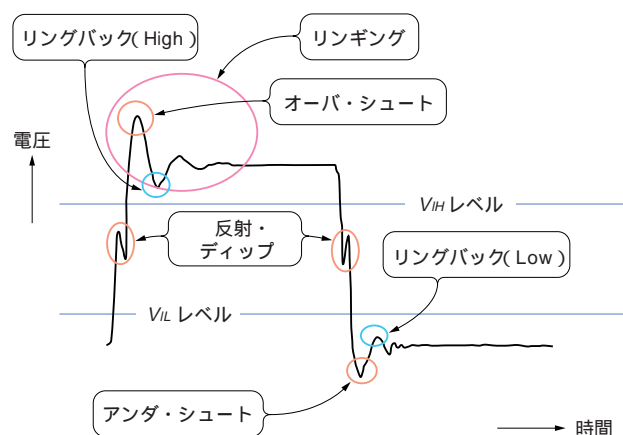



図6　電圧変動による波形への影響
V_{IH}，V_{IL} の電圧レベルを確保した上で，オーバ・シュートやアンダ・シュートの対策を行う必要がある．

2) 途中にノイズ対策やコンデンサなどがある場合

部品のパッド部分や部品接続個所によってインピーダンスの不連続が発生します．従って，不連続が発生する場所を差動配線のそれぞれの配線長で合わせておく必要があります(**図5**)．

3) 差動配線にほかの配線や部品を近づける場合

一般的に，ほかの信号配線は，差動信号の配線幅の2倍以上かつ配線間隙の2倍以上離すようにします(1)．特にグラウンドによるガード・パターンなども，このルールに従い配線幅および配線間隙の2倍以上離す必要があります．部品のパッドに関しても，同じように離す必要があります．また，できるだけ電源部品も離し，電源と差動配線が干渉しないようにする必要があります．

2 DDRメモリなどパラレル信号の配線

DDRメモリなどのパラレル信号に関しても，低電圧化，高周波化に伴い，ノイズ・マージンやタイミング・マージンが減少しています．ここで，ノイズ・マージン減少の原因となる電圧変動の影響を**図6**に示します．これらは，配線パターンの設計段階で伝送線路シミュレーションを実施し，設計を最適化する必要があります．ここでは，FPGAとDDRメモリ間の配線で注意すべき点や，FPGA周辺の配線を工夫することで，プリント配線板のサイズを小さくする，または層数を低減する工夫について述べます．

テクニック

4 信号電圧の変動を小さくする

1) オーバ・シュートやアンダ・シュートを小さくする設計

配線パターン設計段階でシミュレーションを実施した際に，オーバ・シュートやアンダ・シュートが大きい場合，ドライバICのバッファ能力(出力電流能力)が大きいことが考えられます．FPGAがドライバとなる場合には，シミュレーション波形を確認し，最適なバッファ能力を選択することで対策できる場合があります．

バッファ能力を変更できない場合には，配線途中にダンピング抵抗を挿入することで，オーバ・シュートやアンダ・シュートを低減できます．さらに，配線インピーダンスを下げることで対策することも可能です．ただし，配線インピーダンスの調整では，オーバ・シュートやアンダ・シュートの電圧レベルを大きく変えることはできないので，電圧レベルの大きさに応じて最適な対策を行う必要があります．

オーバ・シュート対策を施す場合，同時にレシーバICで必要な V_{IH}(“H”入力電圧)，V_{IL}(“L”入力電圧)にも注意する必要があります．これら V_{IH}，V_{IL} の電圧レベルを確保した上で，オーバ・シュートやアンダ・シュートの対策を行う必要があります．

レシーバICの V_{IH}，V_{IL} とオーバ・シュート，アンダ・シュートのレベルに応じて，ダンピング抵抗，プルアップ抵抗，プルダウン抵抗の定数を調整し，最適な電圧レベルの信号になるように調整する必要があります．

5

2) リンギングやディップを小さくする設計

リンギングやディップは，インピーダンスの不連続個所や分岐後の配線負荷の違いによって，電圧波形に反射が加わります．できるだけインピーダンスの不連続個所をなくすように設計します．また，アドレスや制御信号などが複数のレシーバICへ接続される際に，リンギングが大きくなるようであれば，スター配線などを施し，分岐後の配線バランスを合わせます．

テクニック5 タイミング・マージンを稼ぐ

1) 配線長による遅延をなくす

ドライバICとレシーバIC間の配線長によって，遅延時間が発生します．タイミングを考慮する場合には，例えば，クロック信号とストローブ信号間のスキューを100 ps以下に合わせるなどといった，動作上の制約事項が出てきます．そこで，スキュー調整を行う信号間の配線長を合わせ込む必要があります．ただし，注意が必要なのは，外層の配線と内層の配線では単位長さ当たりの伝搬遅延時間が異なる点です．従って，配線する層を考慮し，各配線層での伝搬遅延時間を考慮した上で，ドライバICからレシーバICまでの遅延時間を合わせ込む必要があります．ここで，スキュー調整を行った配線事例を図7に示します．

2) *RC*成分による遅延をなくす

プリント配線板上の配線の寄生容量や抵抗値，およびレシーバICの負荷容量などによって電圧波形のなまり方が変わります．電圧波形のなまり方が大きくなると，V_{IH}で計測する遅延時間は大きくなります．*RC*成分（抵抗・コンデンサ成分）による波形なまりについては，設計段階で伝送線路シミュレーションを活用することで確認する必要があります．

図7　スキュー調整を行った配線の例
外層の配線と内層の配線では単位長さ当たりの伝搬遅延時間が異なる．

3) 波形ひずみによる遅延をなくす

インピーダンス不連続などの要因で発生する波形ひずみにより，基準となる電圧レベル（例えばV_{IH}，V_{IL}）に変化するまでの時間が大きくなることがあります．この場合にも設計段階で伝送線路シミュレーションを実施することで，事前に検証を行うことが可能となります．

3 プリント配線板のサイズを小さくする，層数を低減する

テクニック6 FPGAのバッファ能力を調整し対策部品を減らす

外形を小さくする方法としては，不要な対策部品を搭載しないことが挙げられます．つまり，電圧変動対策を行うために抵抗部品を追加するのではなく，FPGAのバッファ能力で調整できれば，プリント配線板への搭載部品を減らし，面積を小さくすることが可能となります（図7）．

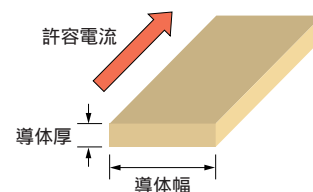
テクニック7 メモリICに合わせてFPGA側のデータ/アドレス・バスを割り当てる

タイミング・マージンを確保するために，等遅延配線について紹介しました．これも，レシーバ側となるメモリのピン配置が決まっているのであれば，メモリに合わせてFPGA側のデータ・バスやアドレス・バスを割り当てることで，等遅延に必要な配線エリアを小さくし，配線層数を低減することも可能となる場合があります．従って，FPGAのピン配置やバッファ能力の選択については，配線パターン設計者とよく協議する必要があります．これにより，サイズや層数を低減できる可能性があります．

4 多系統化する電源の配置配線

近年，いくつものインターフェースを持つFPGAにおいては，電源もいくつかの系統を備え，かつ低電圧化しています．これら電源の配線を設計する際には，電源の供給点からICの電源端子までの経路を，できるだけインピーダンスを下げるように設計します．具体的には直流抵抗の増加

許容電流
導体厚
導体幅

図8 導体面積と許容電流値(出典:米国電子回路協会,IPC-D-275)
ICで使われる最大電流が,電源プレーンの細い個所を流れることができるのかを確認すること.

による電圧ドロップが発生しない設計,および,不要な共振やスイッチング・ノイズの影響を受けにくいプリント配線板を設計する必要があります.ここでは,FPGA電源周りの配線パターン設計において注意すべき点を紹介します.

テクニック8 直流電圧のドロップを低減する

1) 同一電源層における各種電源の設計(部品配置完了後の検証)

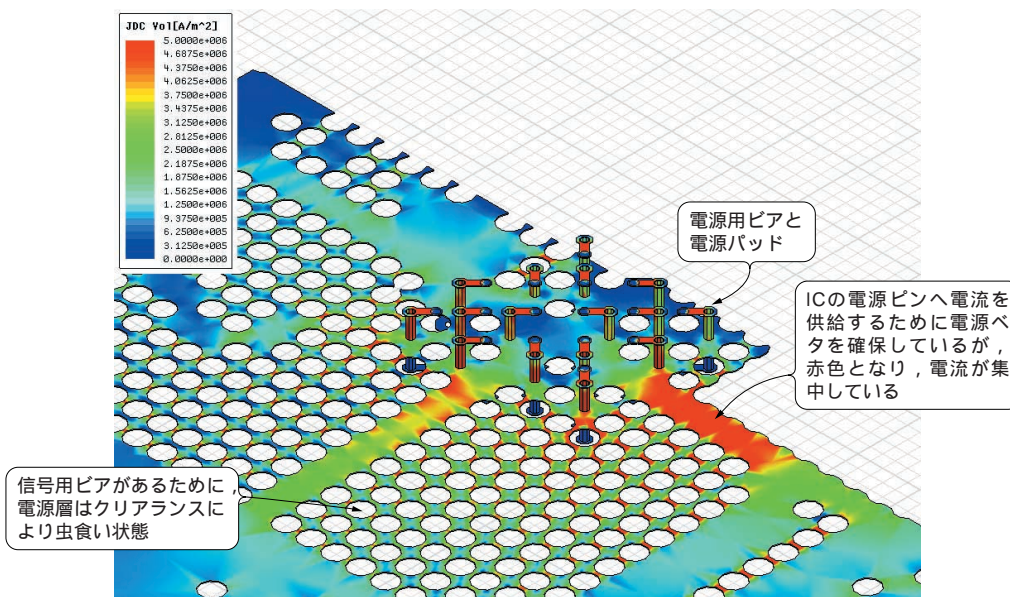
プリント配線板の層数を減らして単価を抑えたいという要求が増えていることと,FPGAなどのICで使う電源の種類が増えていることから,一つの電源層に複数の電源を配置するケースが増えています.このような場合,電源プレーンの形状によって,電源プレーンが部分的に細くなる個所が発生することがあります.その際に,ICで使われる最大電流が,電源プレーンの細い個所を流れることができるのかを確認する必要があります.

図8に導体面積と許容電流値を示します.これにより,必要な電流容量を供給するために必要な配線幅が算出できます.ただし,実際の設計では,電流の向きと部分的に細くなる個所における許容電流値を確認するようにしてください.また,別の層と接続する場合に使うビアは,できるだけ多くすることで,直流抵抗を小さくできます.このとき,ビアの配置はできるだけ,電流が流れる方向に垂直に並べるようにすると,電流が各ビアに分散しやすくなります.

最後に,配線パターン設計において,どの程度直流電圧のドロップが発生しているかを確認するためには,電源電流の経路となる部分の直流抵抗値を算出すれば,ICが必要とする最大電流から計算できます.このときの直流電圧のドロップを考慮しながらICの動作に必要な電源を十分に供給できるように設計します.部品配置完了後には,まず,電源層をどのように分割するかを検討し,分割によって細くなる個所に問題がないかを検証する必要があります.

2) 電源が部分的に細くなる個所への電流の集中を避ける(配線パターン設計完了後の検証)

特にFPGAがBGAパッケージの場合には,外側に信号ピン,内側に電源やグラウンド・ピンが設定されていることが多くなります.このとき,信号ピンの引き出しのために貫通スルー・ホールを使っていると,内層にある電源べ

図9
フルグリッドBGAの電流分布を解析した事例
信号用の貫通スルー・ホールを配置する場合，電源への電流方向に気を付け，電流をBGA内側の電源ピンへ十分に供給できるように設計する．

タ層はクリアランスによって虫食い状態になり，BGA内側にある電源ピンまでの経路において直流抵抗が増加してしまいます．これらを避けるために，信号用の貫通スルー・ホールを配置する場合，電源への電流方向に気を付け，電流をBGA内側の電源ピンへ十分に供給できるように設計します．フルグリッドBGAの電流分布を解析した事例を**図9**に示します．

BGA周辺だけでなく，特にバスを配線する場合には，そのときの貫通スルー・ホールの設計に注意し，貫通スルー・ホールのクリアランスによって，電源およびグラウンド・プレーンに発生する抜き部分によって電流の経路が確保できているかを確認する必要があります．これらは，直流電流分布が解析できるシミュレーション・ツールを使うと検証が容易にできます．

テクニック9 共振およびスイッチング・ノイズによる影響を低減する

プリント配線板の電源プレーンのLC成分によって，共振する周波数は変わります．電源プレーンのインピーダンス特にL成分は，できるだけ小さくし，ICが駆動する周波数帯で共振が発生しないように設計します．ここでは，電源プレーンのインピーダンスを下げるための手法について紹介します．

1）コンデンサ配置の最適化

電源プレーンにおける共振対策やスイッチング・ノイズによる電源電圧変動の影響を，プリント配線板の電源へ波及させないためには，バイパス・コンデンサをできるだけICの電源ピンのそばに配置します．

例えば，1mmピッチのBGAであれば，BGAの直下に1005サイズのコンデンサを配置することも可能になります．また，ICの電源ピンから離れれば，それだけインダクタンス成分が増加し，高周波特性が劣化します．従って，ICの電源ピンに近いコンデンサは，容量が小さく周波数特性の良いものを選択し，高い周波数まで効果を持たせられるように設計します．

電源プレーンの形状によっては，ICの位置とは関係なく共振が発生する場合があります．その場合には，電源プレーンの共振を解析できるシミュレーション・ツールを活用すると検証が容易にできます．このシミュレーション・ツールには，例えば，NEC情報システムズのDEMITASNX（http://www.demitasnx.com/），Sigrity社のSPEED2000（http://www.ate.co.jp/fmhp2/products/sigrity/speed2000/index.php），米国Ansoft社のSIwave（http://www.ansoft.co.jp/）などがあります．

2）コンデンサ周辺の配線

図10に示すように，コンデンサまでの配線は太く短くすることで，不要なインダクタンス成分の増加を防げます．また，コンデンサへ接続する電源およびグラウンドのビアはできるだけ近づけて，電流ループを小さくし，インダクタンス成分を減少させるように注意しましょう．（**金子 俊之**）

5 今後の基板設計について

次に，FPGA基板設計の動向や期待される手法について紹介します．筆者自身，FPGAボード開発に長年に携わり，その経験から今後の基板設計技術者に必要と思われる要素について，述べたいと思います．

● デバイスの高速化，高集積化が基板設計に影響

基板設計や製造現場での課題は，低電圧化，ハイスピード化にいかに対応するかにあります．言い換えると，デバイスの進化に伴って発生する諸問題をクリアして「動くもの」にしなければならないのです．特に，デバイスの高速化，製造プロセスの微細化による高集積化が，基板設計に影響する要素として下記が挙げられます．

- 低電圧化⇒電圧・電流のマージンが小さい⇒安定的な電源制御が必要⇒デバイスの電源ピン増加⇒基板設計上の制約増
- 多ピン化・狭ピッチ化⇒電気特性を維持した信号経路の制約増

● ディジタル化により，つなげば動く時代に

現在，日本国内におけるプリント配線板設計は，回路設計部門とプリント配線設計部門との分業が一般的です．理由は，下記のような背景にあります．

- 基板開発は仕様の決定が最後になるため，最後に取り掛かるが，ほかの何よりも，一番早く必要である．工数の問題から外部での対応に頼らざるを得なかった．
- ディジタル化によって，職人的アナログ設計のノウハウが消えつつある．数十MHzの周波数では，信号遅延も容認でき，つなげば動く．電源も多少の振れ幅を含んでいても，デバイスは動くようになった．
- ツールが進化したことで，個人や基板専門企業でも，ある程度の性能を持つ配線パターンを設計できる．

などが挙げられます．

● デバイスの進化によって生じた問題

前項のように，ある程度の配線パターンであれば，容易に設計できるようになってきました．ところが，FPGAをはじめとする先端LSIの周りでは，次のような問題が生じています．

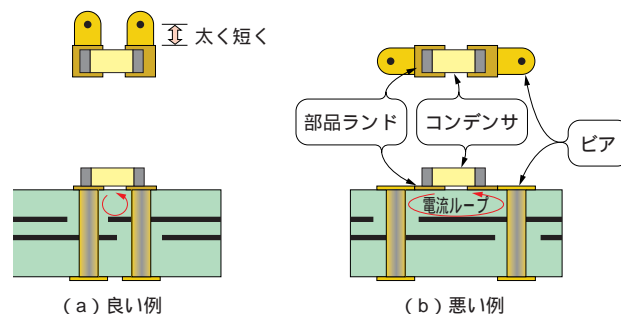



図10 チップ・コンデンサの配線方法
電流ループはできるだけ小さく，配線は太く短く．

- 最先端プロセスで製造されデバイス，特にFPGAは，高速かつ大容量へと変ぼうしてきた．
- I/O端子が1,000ピン以上になると，パターン設計上の問題が多数出て来るようになった．
  特にI/O端子が増加すれば，
- 狭ピッチI/O端子のパッドからの，パターン引き出しが困難となる．
- 多層，IVH (interstitial via hole) など，さまざまな設計ルールの採用．
- 電気的制約（信号のタイミング整合のための等長配線）の増加．
- 設計ルールと基板製造の仕様（IVH，ビルドアップなどの工法）とのすり合わせが必要となってきた．
- クロストーク・ノイズや帰電流対策などを考慮したパターン設計が増加する．
- 安定したデバイス動作のために，電源ピンを増加させる傾向がある．
- I/O端子からの配線ルートへの制限が増加する傾向にある．
- 電源の近くではノイズの影響を最小限に抑える必要がある．
- ディジタルと言えども，高速化によりパターン配線設計はアナログ的センスが必要となってきた．

などが挙げられます．このような制約は増加する一方です．

● 回路設計と基板設計との間の問題

回路設計の段階では，このFPGAの規模なら，およそのI/O端子を設定してからでも，回路は問題なく形成できるとの判断から，事前にI/O端子の割り付けを行い，配線パターン設計者へ指示することがあります．しかし，回路そ

のものに変更が生じるケースや予想した仕様に収まらない事態などが発生して，最初予定していたI/O端子の配置では，基板設計が困難になるケースが起こります．さらに，FPGAのピン配置が自由などという特徴を生かしても，その変更を吸収できないケースが生じます（小型化や低コスト化などのために予想される回路規模に応じた部品の選定を行うケースが多い．つまり無駄なI/O端子を持たせない設計が多い）．

図11　戻り作業が発生すると時間や金額のロスが発生する

金額のロスは配線設計メーカが涙を飲むことも多い．I/O端子の配置検討はできるだけ上流で行うこと．配線設計の効率を考慮すること．

最終的にはI/O端子の配置を変更して，突発的な回路の変更を吸収するケースは多いのですが，対応が遅れれば遅れるほど，また，変更回数が多ければ多いほど基板設計のやり直しが増加します（図11）．

問題の背景には，従来外部回路として形成されていた部分が，FPGA内部に取り込まれていることがあります．プリント配線板の配線パターンは，I/O端子からの配線がその大部分を占める傾向にあります．また，デバイスの低電圧化に伴い，端子数に占める電源ピンの数が増加する傾向にあります．先端LSI，とりわけFPGAの持つ要素が基板設計に多大な影響を与える傾向にあります．

現在，FPGAを搭載していない基板は存在しないと言っても過言でありません（電源基板は除く）．この傾向はさらに進むでしょう．また，分野によって，選択するデバイスも異なり，それによって設計の注意点も異なってきます．一例を挙げると，

- システム開発や試作などに利用するFPGAは，大規模で

図12
FPGAのピン配置を最適化すると，むだな配線パターンが減る

回路設計者と配線パターン設計者は情報交換を密に行うべき．

最大数のI/O端子を持つ品種を利用する．つまり，大量のI/O端子が同時に動作するなどして，電源対策がより重要になる．
- 組み込み機器の分野では，低コストでできるだけ実装面積の小さい部品を選択する．そのため，おのずとI/O端子数は限られ，ピンの再配置ができない．

などがあります．

● 期待される設計手法

今後は，回路設計者と配線パターン設計者が協調して設計を行うことが大切です．協調設計の利点としては，

- 回路の変更により生じる基板設計の課題を両者が同時に確認できる．
- 基板設計上の制約をクリアするための回路変更を最小限にするためにはどうすればよいかを一緒に検討できる．

などが挙げられます．現在，一般的なツールには基板上の制約事項をパラメータ化している場合が多くあります．

さらに，FPGAデバイス固有のライブラリを搭載しているものがあり，今後はその種の設計ツールを使いこなすことが，設計の有効手段になると期待します．例えば，I/O端子のピン・スワップを検討する場合(図12)，

- 基板上で「ねじれパターン」が多く発生し，ビアの増加などが予想され，配線パターンも長くなる傾向にある．
- ノイズの影響を受けやすいI/O端子の配列が生ずる．
- ピン・スワップ(FPGAピン配置の最適化)後，そのI/O端子割り当てで回路が仕様通りに動作するかを見極める必要がある．

などが挙げられます．既に限界の仕様でI/O端子が設定されていれば，後からピン配置を変更できないケースも起こります．その際は，シミュレーションも同時に実施し，その結果を回路設計者や配線パターン設計者が共有することで，安心して次のステップに進めます．

プリント配線板の配線，デバイス内部の信号の種類などを考慮したとき，I/Oバンクを変更したほうがパターンの流れがスムーズであることに気付く場合もあります．このようなときも情報を共有して，即座に判断・実施します．

回路設計者によっては，基板化したときのパターンの流れをおおよそ想定してバンクを設定している方もいます．このようなケースは，非常にうまくパターン設計ができます．

＊　＊

このような日本固有の設計スタイルを維持しながら，回路データとプリント配線板設計データの共有化などを駆使することにより，無駄のない設計が可能であると思われます．また，FPGAが外部機能を取り込めば取り込むほど，FPGA周りのパターンの良しあしが基板性能に与える影響は大きくなると予想されます．

配線パターン設計者は，基板に搭載されるデバイスを知り，その特徴をうまく利用することで，パターン設計がスムーズに行えます．

回路設計者も先のバンク選択例のように，プリント基板の基本的な問題を認識した上で設計ツールを活用すれば，後戻りの少ない開発を実現できると思います．　(**水尾 学**)

参考・引用*文献

(1) LVDSオーナーズ・マニュアル，National Semiconductor, http://www.national.com/JPN/appinfo/lvds/files/ownersmanual.pdf
(2) I/O Designer，メンター・グラフィックス・ジャパン，http://www.mentorg.co.jp/iod

5

かねこ・としゆき
(株)トッパンNECサーキットソリューションズ

みずお・まなぶ
FPGAコンソーシアム　会員

<筆者プロフィール>

金子俊之．大学院修士過程のときに，プリント配線板のシミュレーションと出会う．その後、1993年NEC入社，トッパンNECサーキットソリューションズへ移籍した現在も，プリント配線板のシミュレーション業務に携わる．

水尾 学．プリント配線板設計に携わり，半導体の特性理解が重要性である事を認識．とりわけFPGAの将来性を見据えて，1996年からFPGAボードの商品化を進めてきた．現在NPO法人 FPGAコンソーシアムの会員として活動中．